

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0067024  
Application Number

출원년월일 : 2002년 10월 31일  
Date of Application OCT 31, 2002

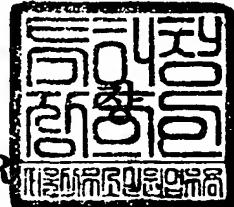
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003년 05월 29일

특허청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0008		
【제출일자】	2002.10.31		
【발명의 명칭】	반도체 소자의 소자분리막 형성방법		
【발명의 영문명칭】	Method for forming isolation layer of semiconductor device		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【성명】	강성배		
【대리인코드】	9-1999-000101-3		
【포괄위임등록번호】	1999-024436-4		
【발명자】			
【성명의 국문표기】	김봉천		
【성명의 영문표기】	KIM, Bong Cheon		
【주민등록번호】	690621-1057619		
【우편번호】	361-725		
【주소】	충청북도 청주시 흥덕구 향정동 1번지		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 강성배 (인)		
【수수료】			
【기본출원료】	14	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	6	항	301,000 원
【합계】	330,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 STI(Shallow Trench Isolation) 공정을 이용한 반도체 소자의 소자분리막 형성방법을 개시한다. 개시된 본 발명의 방법은, 실리콘 기판 상에 패드산화막과 패드질화막 및 폴리실리콘막을 차례로 형성하는 단계와, 상기 폴리실리콘막과 패드질화막 및 패드산화막을 패터닝하여 필드 영역에 해당하는 기판 영역을 노출시키는 단계와, 상기 노출된 기판 필드 영역을 식각하여 트렌치를 형성하는 단계와, 상기 트렌치를 매립하도록 기판 결과물 상에 상기 적층막 두께와 트렌치 깊이의 합과 동일한 두께로 HDP(High Density Plasma)-산화막을 증착하는 단계와, 상기 HDP-산화막 상에 기판 필드 영역 및 이에 접한 기판 액티브 영역의 소정 폭을 가리는 리버스 마스크를 형성하는 단계; 상기 리버스 마스크를 식각 장벽으로 이용하여 노출된 기판 액티브 영역 상의 HDP-산화막을 식각하는 단계와, 상기 리버스 마스크를 제거하는 단계와, 상기 패드질화막이 노출되도록 상기 HDP-산화막과 폴리실리콘막을 CMP(Chemical Mechanical Polishing)하는 단계와, 상기 패드질화막을 제거하는 단계를 포함한다. 본 발명에 따르면, HDP-산화막에 대한 CMP 공정을 수행하기 전에 상기 HDP-산화막의 단차를 제거함으로써 CMP 균일도를 향상시킬 수 있으며, 또한, 패드질화막의 제거시에 산화막 에천트를 사용하지 않기 때문에 모트 발생을 근본적으로 제거할 수 있다.

**【대표도】**

도 2e

**【명세서】****【발명의 명칭】**

반도체 소자의 소자분리막 형성방법{Method for forming isolation layer of semiconductor device}

**【도면의 간단한 설명】**

도 1은 종래 STI(Shallow Trench Isolation) 공정을 이용한 소자분리막 형성방법에 서의 문제점을 설명하기 위한 단면도.

도 2a 내지 도 2e는 본 발명의 실시예에 따른 반도체 소자의 소자분리막 형성방법을 설명하기 위한 공정별 단면도.

**\* 도면의 주요 부분에 대한 부호의 설명 \***

21 : 실리콘 기판

22 : 패드산화막

23 : 패드질화막

24 : 폴리실리콘막

25 : HDP-산화막

26 : 감광막

26a : 리버스 마스크

27 : 소자분리막

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 STI 공정을 이용한 반도체 소자의 소자분리막 형성방법에 관한 것으로, 특히, 트렌치 매립 산화막의 CMP(Chemical Mechanical Polishing) 균일도 저하를 개선하

면서 모트(Moat) 발생을 억제시킬 수 있는 반도체 소자의 소자분리막 형성방법에 관한 것이다.

<9> 주지된 바와 같이, 최근의 반도체 소자는 소자들간을 전기적으로 분리시키는 소자분리막을 STI(Shallow Trench Isolation) 공정을 이용하여 형성하고 있다. 이것은 기존의 로코스(LOCOS) 공정의 경우 소자분리막의 상단 가장자리에 새부리 형상의 버즈-비크(bird's-beak)이 발생되는 것으로 인해 액티브 영역의 크기를 감소시키게 되지만, 상기 STI 공정의 경우 작은 폭으로의 소자분리막 형성이 가능하여 액티브 영역의 크기를 확보할 수 있기 때문이다.

<10> 이하, 종래의 STI 공정을 이용한 소자분리막 형성방법을 간략하게 설명하도록 한다.

<11> 먼저, 실리콘 기판 상에 패드산화막과 패드질화막을 차례로 형성한 다음, 상기 패드질화막과 패드산화막을 패터닝하여 필드(field) 영역에 해당하는 기판 부분이 노출시킨다.

<12> 그런 다음, 노출된 기판 부분을 식각하여 트렌치를 형성한 후, 상기 기판 결과물에 대해 희생 산화(sacrificial oxidation) 및 리니어 산화(liner oxidation) 공정을 차례로 수행한다.

<13> 이어서, 트렌치를 매립하도록 기판 전면 상에 매립 특성이 우수한 HDP(High Density Plasma)-산화막을 증착한 후, 패드질화막이 노출될 때까지 HDP-산화막을 CMP(Chemical Mechanical Polishing)한다.

<14> 그리고나서, 트렌치 식각시에 식각 장벽으로 이용된 패드질화막을 제거함으로써 소자분리막의 형성을 완성한다.

#### 【발명이 이루고자 하는 기술적 과제】

<15> 그러나, 종래의 STI 공정은 다음과 같은 문제점이 있다.

<16> 첫째, 트렌치 매립용 HDP-산화막은 일반적으로 하지층의 프로파일(profile)을 따라 증착되는데, 도 1에 도시된 바와 같이, 기판 액티브 영역 상에 증착되는 HDP-산화막(4)은 액티브 영역의 크기에 따라 삼각형이나 사다리꼴 형태를 취하게 되는 바, 이렇게 불균일한 증착 프로파일이 후속 CMP 공정에서의 연마 균일도를 저하시켜, 결국, 소자 특성 저하를 야기하게 된다.

<17> 도 1에서, 도면부호 1은 실리콘 기판, 2는 패드산화막, 그리고, 3은 패드질화막을 각각 나타낸다.

<18> 상기 CMP 균일도를 개선하기 위해, 최근 들어 일정 크기 이상의 액티브 영역 상에 형성된 HDP-산화막을 리버스(Reverse) 마스크 형성 및 리버스 식각 공정을 통해 일정량 제거하는 기술이 제안되었다. 그러나, 상기 리버스 마스크 형성 및 식각 공정은 오히려 더 큰 단차를 만들게 될 뿐만 아니라, 액티브 영역 양측에 형성되는 단자는 여전히 제거 하지 못하여 후속 CMP 공정에서 파티클(particle)의 소오스로 작용하게 된다.

<19> 둘째, 액티브 영역 상에 존재하는 HDP-산화막이 제거된 후, 연마정지층으로 사용된 패드질화막의 두께는 소자분리막의 두께를 조절하게 되는데, 종래 STI 공정에 따르면, 넓은 액티브 영역과 좁은 액티브 영역 상에 잔류되는 패드질화막들간의 두께 편차가 심

하고, 또한, 넓은 필드 영역과 좁은 필드 영역에 형성된 소자분리막들에서의 디싱(Dishing) 편차도 심하다.

<20> 셋째, 종래의 STI 공정은, 전술하지는 않았으나, 패드질화막의 제거시에는 그 표면에 생성되었을 질화막 산화물을 제거하기 위해 기판 결과물을 산화막 에천트에 수초간 침지(Dip)시키고, 이후, 인산용액으로 상기 패드질화막을 제거하게 되는데, 이때, 산화막 에천트에 의해 액티브 영역과 필드 영역 경계에서 산화막의 침식이 일어나 모트(Moat)가 발생하게 되는 바, 소자 특성 저하가 초래된다.

<21> 따라서, 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로서, CMP 균일도 저하를 개선하고, 디싱 편차를 줄일 수 있으며, 그리고, 모트 발생을 억제시킬 수 있는 반도체 소자의 소자분리막 형성방법을 제공함에 그 목적이 있다.

### 【발명의 구성 및 작용】

<22> 상기와 같은 목적을 달성하기 위하여, 본 발명은, 실리콘 기판 상에 패드산화막과 패드질화막 및 폴리실리콘막을 차례로 형성하는 단계; 상기 폴리실리콘막과 패드질화막 및 패드산화막을 패터닝하여 필드 영역에 해당하는 기판 영역을 노출시키는 단계; 상기 노출된 기판 필드 영역을 식각하여 트렌치를 형성하는 단계; 상기 트렌치를 매립하도록 기판 결과물 상에 상기 적층막 두께와 트렌치 깊이의 합과 동일한 두께로 HDP-산화막을 증착하는 단계; 상기 HDP-산화막 상에 기판 필드 영역 및 이에 접한 기판 액티브 영역의 소정 폭을 가리는 리버스 마스크를 형성하는 단계; 상기 리버스 마스크를 식각 장벽으로 이용하여 노출된 기판 액티브 영역 상의 HDP-산화막을 식각하는 단계; 상기 리버스 마스크를 제거하는 단계; 상기 패드질화막이 노출되도록 상기 HDP-산화막과 폴리실리콘막을

CMP하는 단계; 및 상기 패드질화막을 제거하는 단계를 포함하는 반도체 소자의 소자분리막 형성방법을 제공한다.

<23> 여기서, 상기 리버스 마스크는 펠드 영역과 접한 액티브영역의  $0.04\sim0.05\mu\text{m}$ 의 폭 만큼을 가리도록 형성한다.

<24> 상기 액티브 영역 상의 HDP-산화막을 식각하는 단계는  $\text{Cx}\text{Fy}$ ,  $\text{O}_2$ ,  $\text{Ar}$ ,  $\text{CHx}\text{Fy}$ 으로 이루어진 그룹으로부터 선택되는 적어도 어느 하나 이상의 가스를 사용하여 수행하며, 또한, 상기 폴리실리콘막을 식각정지층으로 이용하면서 산화막 대비 폴리실리콘막의 선택비를 100:1 이상으로 하여 수행한다.

<25> 상기 HDP-산화막과 폴리실리콘막을 CMP하는 단계는 폴리실리콘막이 완전히 제거된 후에 상기 패드질화막 표면이  $100\sim200\text{\AA}$  정도 제거되도록 수행한다.

<26> 상기 패드질화막을 제거하는 단계는 질산( $\text{HNO}_3$ )과 인산( $\text{H}_3\text{PO}_4$ )의 혼합 용액을 사용하여 수행한다.

<27> 본 발명에 따르면, HDP-산화막에 대한 CMP 공정을 수행하기 전에 상기 HDP-산화막의 단차를 제거함으로써 CMP 균일도를 향상시킬 수 있으며, 또한, 패드질화막의 제거시에 산화막 에천트를 사용하지 않기 때문에 모트 발생을 근본적으로 제거할 수 있다.

<28> (실시예)

<29> 이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

<30> 도 2a 내지 도 2e는 본 발명의 실시예에 따른 반도체 소자의 소자분리막 형성방법을 설명하기 위한 공정별 단면도이다.

<31> 도 2a를 참조하면, 실리콘 기판(21) 상에 각각 50~200Å 및 500~2000Å의 두께로 패드산화막(22)과 패드질화막(23)을 차례로 형성하고, 상기 패드질화막(23) 상에 후속에서 식각정지층으로 사용될 폴리실리콘막(24)을 100~1000Å의 두께로 증착한다.

<32> 그런다음, 상기 폴리실리콘막(24)과 패드질화막(23) 및 패드산화막(22)을 패터닝하여 필드 영역에 해당하는 기판 부분을 노출시킨 후, 노출된 기판 필드 영역을 소정 깊이 식각하여 트렌치를 형성하고, 이어서, 상기 트렌치를 매립하도록 기판 결과물 상에 HDP-산화막(25)을 증착한다. 이때, 상기 HDP-산화막(25)은 패드산화막(22)과 패드질화막(23) 및 폴리실리콘막(24)의 적층 두께와 트렌치 깊이 합과 동일한 두께로 증착한다. 계속해서, 상기 HDP-산화막(25) 상에 리버스 마스크 형성용 감광막(26)을 도포한다.

<33> 도 2b를 참조하면, 감광막을 노광 및 현상하여 기판 필드 영역을 가리는 리버스 마스크(26a)를 형성한다. 이때, 상기 리버스 마스크(26a)는 액티브 영역 가장자리에서 안쪽으로 소정 폭, 예컨데, 0.04~0.05 $\mu$ m 정도 들어오게 형성하고, 이를 통해, 액티브 영역 크기 전체에 대해 0.08~0.10 $\mu$ m 정도를 가리도록 형성한다.

<34> 그 다음, 리버스 식각을 행하여 기판 액티브 영역 상에 증착된 HDP-산화막을 식각제거한다. 이때, 상기 리버스 식각은 폴리실리콘막(24)을 식각정지층으로 이용하며, 그리고, 식각 가스로서 CxFy, O2, Ar 및 CHxFy 중에서 어느 하나 이상을 사용하면서 산화막 대비 폴리실리콘막의 선택비를 100:1 이상으로 하여 수행한다.

<35> 도 2c를 참조하면, 공지의 공정에 따라 잔류된 리버스 마스크를 제거한다. 이때, 상기 리버스 마스크의 제거 결과, 액티브 영역과 필드 영역간의 단차가 이전 보다 상당히 줄어들었음을 볼 수 있다.

<36> 도 2d를 참조하면, 상기 단계까지의 기판 결과물에 대해 CMP를 행하고, 이를 통해, 기판 필드 영역에 트렌치형의 소자분리막(27)를 형성한다. 이때, 상기 CMP는 리버스 식 각시에 식각정지층으로 이용된 폴리실리콘막이 완전히 제거되도록 패드질화막(23)에서 과도 연마가 이루어지도록 한다. 즉, 상기 CMP는 선택적 또는 비선택적 슬러리를 사용하여 폴리실리콘막이 완전히 제거된 후, 상기 패드질화막 표면이 100~200Å 정도 제거되도록 수행한다.

<37> 도 2e를 참조하면, 잔류된 패드질화막을 폴리 에천트인 질산(HNO3)과 질화막 에천트인 인산(H3PO4)의 혼합 용액을 사용하여 제거하고, 이 결과로서, 본 발명에 따른 소자분리막(27)의 형성을 완성한다.

<38> 전술한 바와 같은 본 발명의 방법에 따르면, HDP-산화막의 단차로 인한 CMP 균일도 저하는 개선되며, 또한, 넓은 필드 영역과 좁은 필드 영역간의 디싱 편차도 줄일 수 있고, 아울러, 액티브 영역 경계에서의 모트 발생도 방지할 수 있다.

<39> 자세하게, 일반적으로 HDP-산화막의 증착 프로파일은 일정 크기 이상의 액티브 영역 상에서는 사다리꼴 형태를 취하고, 일정 크기 이하의 액티브 영역 상에서는 삼각형 형태를 취하며, 이러한 형태는 트렌치 깊이와 슬로프에 따라 변형되기도 하지만, 통상,  $0.7\mu\text{m}$ 의 액티브 영역 크기를 기준으로 구분되어진다. 또한, HDP-산화막의 증착 후에 나타나는 특징은 단차가 시작되는 부분의 위치가 액티브 영역 가장자리에서 안쪽으로 대략  $0.04\mu\text{m}$  정도 들어온 위치에서 시작된다는 사실이다.

<40> 따라서, 넓은 액티브 영역 상에 증착되는 HDP-산화막의 단차 시작점과 끝점간의 간격은 액티브 영역의 크기 보다 작게 되므로, HDP-산화막의 하부에 리버스 마스크 및 에

치백 공정에서 사용될 식각정지층을 구비시키면, HDP-산화막의 증착시에 생성된 모든 단자는 제거될 수 있다.

<41> 그러므로, 본 발명의 방법은 리버스 마스크 및 에치백 공정에서 제거해야 하는 액티브 영역 상의 HDP-산화막의 크기를 RA-0.1 $\mu$ m(RA : 실제 액티브 영역 크기로서, N-액티브 영역 크기 및 P-액티브 영역 크기를 포함)로 규정하여 수행함으로써 HDP-산화막의 증착시에 생성된 모든 단차를 제거할 수 있으며, 그래서, CMP 균일도를 향상시킬 수 있게 됨은 물론 소자분리막들에서의 디싱(Dishing)도 최대한 억제시킬 수 있게 된다.

<42> 또한, 본 발명의 방법은 질산(HNO<sub>3</sub>)과 인산(H<sub>3</sub>PO<sub>4</sub>)의 혼합 용액을 사용하여 패드질화막을 제거하기 때문에 상기 패드질화막의 제거시 산화막 에천트의 사용에 따른 모트 발생을 방지할 수도 있게 된다.

### 【발명의 효과】

<43> 이상에서와 같이, 본 발명은 HDP-산화막에 대한 CMP 공정을 수행하기 전에 상기 HDP-산화막의 단차를 제거함으로써 연마량을 줄여 상대적으로 넓은 필드 영역에서의 디싱을 최소화시킬 수 있고, 아울러, CMP 균일도를 향상시킬 수 있으며, 그래서, 소자 특성을 향상시킬 수 있다.

<44> 또한, 본 발명은 패드질화막의 제거시에 산화막 에천트를 사용하지 않기 때문에 모트 발생을 근본적으로 제거하여 협프 발생 등의 소자 특성 저하를 방지할 수 있다.

<45> 기타, 본 발명은 그 요지가 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

**【특허청구범위】****【청구항 1】**

실리콘 기판 상에 패드산화막과 패드질화막 및 폴리실리콘막을 차례로 형성하는 단계;

상기 폴리실리콘막과 패드질화막 및 패드산화막을 패터닝하여 필드 영역에 해당하는 기판 영역을 노출시키는 단계;

상기 노출된 기판 필드 영역을 식각하여 트렌치를 형성하는 단계;

상기 트렌치를 매립하도록 기판 결과물 상에 상기 적층막 두께와 트렌치 깊이의 합과 동일한 두께로 HDP-산화막을 증착하는 단계;

상기 HDP-산화막 상에 기판 필드 영역 및 이에 접한 기판 액티브 영역의 소정 폭을 가리는 리버스 마스크를 형성하는 단계;

상기 리버스 마스크를 식각 장벽으로 이용하여 노출된 기판 액티브 영역 상의 HDP-산화막을 식각하는 단계;

상기 리버스 마스크를 제거하는 단계;

상기 패드질화막이 노출되도록 상기 HDP-산화막과 폴리실리콘막을 CMP하는 단계;

및

상기 패드질화막을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

**【청구항 2】**

제 1 항에 있어서, 상기 리버스 마스크는

필드 영역과 접한 액티브 영역의  $0.04\sim0.05\mu\text{m}$ 의 폭만큼을 가리도록 형성하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

### 【청구항 3】

제 1 항에 있어서, 상기 액티브 영역 상의 HDP-산화막을 식각하는 단계는  $\text{CxFy}$ ,  $\text{O}_2$ ,  $\text{Ar}$  및  $\text{CHxFy}$ 으로 이루어진 그룹으로부터 선택되는 적어도 어느 하나 이상의 가스를 사용하여 수행하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

### 【청구항 4】

제 1 항 또는 제 3 항에 있어서, 상기 액티브 영역 상의 HDP-산화막을 식각하는 단계는 상기 폴리실리콘막을 식각정지층으로 이용하면서 산화막 대비 폴리실리콘막의 선택비를 100:1 이상으로 하여 수행하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

### 【청구항 5】

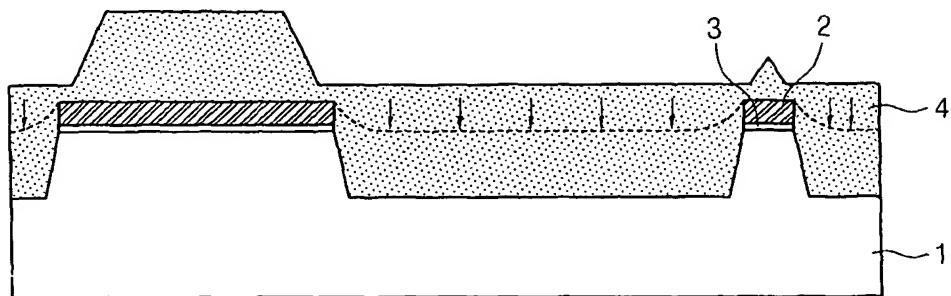
제 1 항에 있어서, 상기 HDP-산화막과 폴리실리콘막을 CMP하는 단계는 폴리실리콘막이 완전히 제거된 후에 상기 패드질화막 표면이  $100\sim200\text{\AA}$  정도 제거되도록 수행하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

### 【청구항 6】

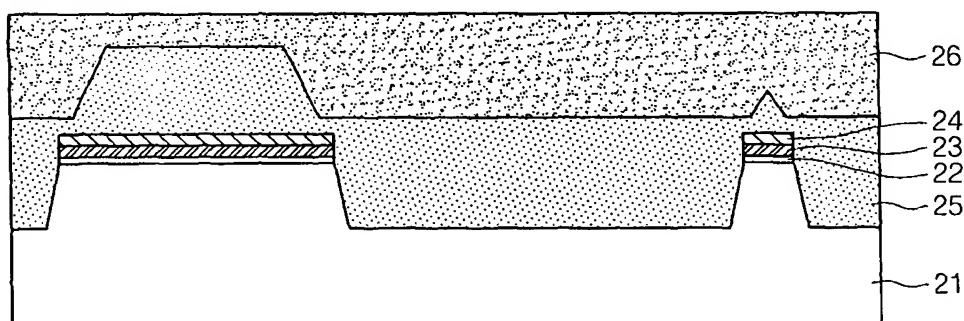
제 1 항에 있어서, 상기 패드질화막을 제거하는 단계는 질산( $\text{HN}_3$ )과 인산( $\text{H}_3\text{PO}_4$ )의 혼합 용액을 사용하여 수행하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

## 【도면】

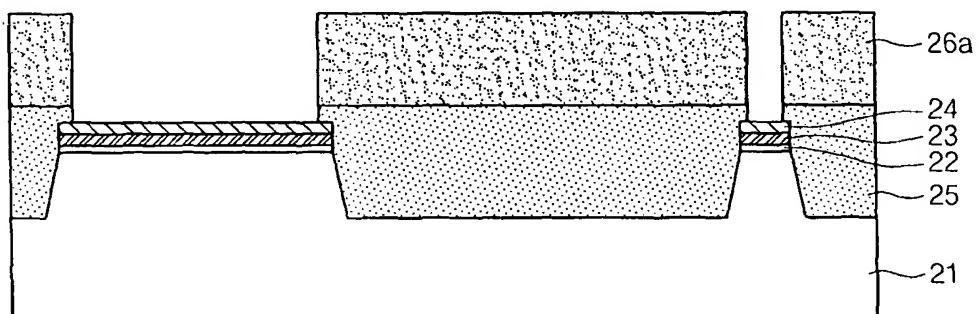
【도 1】



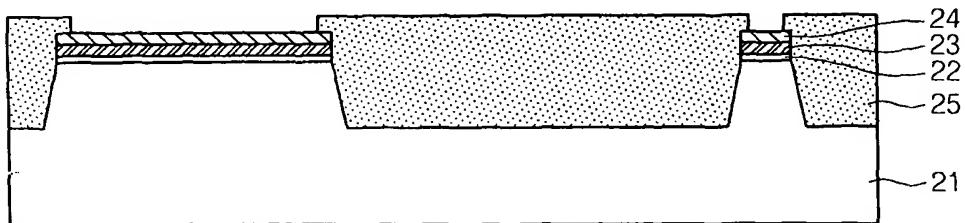
【도 2a】



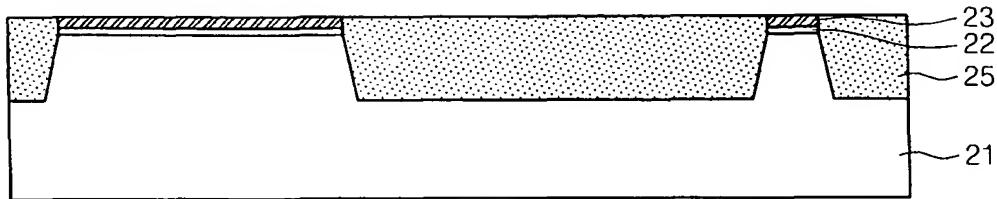
【도 2b】



【도 2c】



【도 2d】



【도 2e】

